

i i

(43)Date of publication of application : 30.08.2002

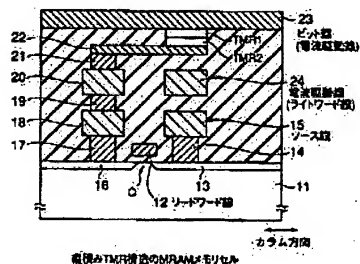
H01L 27/105
G11C 11/14
G11C 11/15
H01L 43/08

(71)Applicant : TOSHIBA CORP

(72)Inventor : Horiguchi Fumio

(57)Abstract:

SOLUTION: A memory cell is composed of a TMR element and a MOS transistor. The source diffused layer 13 of the MOS transistor is connected to a source line 15, and a drain diffused layer 16 is connected to the TRM element via local interconnect wiring 22. The TMR element is caught between the local interconnect wiring 22 and a bit line 23. The TMR element is composed of two TMR layers, TMR1 and TMR2 stacked vertically. Each TMR layer can have two states (the direction of spin is parallel or antiparallel), so the TMR element can store four-value data. A current drive line 24, which generates a current magnetic field, is arranged right below the TMR element.



(5) Int. Cl. ⁷	識別記号	FI	フィード (参考)
H01L 27/105		G11C 11/14	Z 5 F083
G11C 11/14			A
	11/15		
H01L 43/08		H01L 43/08	Z
H01L 43/08		27/10	447
審査請求 未請求 請求項の範囲 OL (全 24 頁)			

(21) 出願番号 特願2001-37140 (P2001-37140)

(22) 出願日 平成13年2月14日 (2001.2.14)

(71) 出願人 00003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 堀口 文男

神奈川県横浜市磯子区新影町8番地 株式会社東芝横浜事業所内

(74) 代理人 10058479

弁士 鮎江 武彦 (外 6 名)

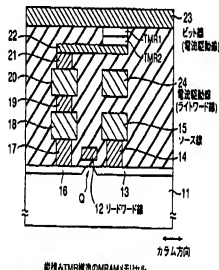
Fターム (参考) F083 F210 G029 G021 L012 Z021

(54) 発明の名称 磁気ランダムアクセスメモリ

(57) 要約

【課題】 1セルに多ビットを記憶させ、セル面積も小さくする。

【解決手段】 メモリセルは、TMR素子とMOSトランジスタから構成される。MOSトランジスタのソース拡散層13は、ソース線15に接続され、ドレイン拡散層18は、ローカルインターコネクト配線22を經由して、TMR素子に接続される。TMR素子は、ローカルインターコネクト配線22とビット線23の間に挟まれている。TMR素子は、縦向きな2つのTMR層TMR1、TMR2から構成される。各TMR層は、2つの状態（スピンの向きが平行又は反平行）を持つことができるため、TMR素子には、4ビットデータを記憶できる。TMR素子の直下には、電流線を発生させる電流駆動線24が配置される。



縦向きTMR層のMRAMメモリセル

【特許請求の範囲】

【請求項1】 データを記憶するTMR素子と、前記TMR素子に電流を与えるための第1及び第2電流駆動線とを具備し、前記TMR素子は、横向きな複数のTMR層から構成され、各TMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含むことを特徴とする磁気ランダムアクセスメモリ。

【請求項2】 請求項1記載の磁気ランダムアクセスメモリにおいて、ソース線と、前記TMR素子と前記ソース線の間に接続されるスイッチ素子とを具備し、前記スイッチ素子は、前記TMR素子のデータを読み出す際にオン状態になることを特徴とする磁気ランダムアクセスメモリ。

【請求項3】 各TMR層は、前記2つの磁性層のうちの1つのスピンの向きを固定するための反磁性層を有することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項4】 前記複数のTMR層の間には、非磁性導電層が配置されることを特徴とする請求項3記載の磁気ランダムアクセスメモリ。

【請求項5】 請求項1記載の磁気ランダムアクセスメモリにおいて、前記複数のTMR層の間に配置され、各TMR層の前記2つの磁性層のうちの1つのスピンの向きを固定するための反磁性層を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項6】 前記第1電流駆動線は、ビット線であり、前記TMR素子は、前記ビット線に接続していることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項7】 前記第2電流駆動線は、前記TMR素子の近傍に配置され、前記ビット線に直交していることを特徴とする請求項6記載の磁気ランダムアクセスメモリ。

【請求項8】 前記TMR素子は、前記ビット線の下面に接続し、前記第2電流駆動線は、前記TMR素子の直上に配置されることを特徴とする請求項7記載の磁気ランダムアクセスメモリ。

【請求項9】 前記TMR素子は、前記ビット線の上面に接続し、前記第2電流駆動線は、前記TMR素子の直上に配置されることを特徴とする請求項7記載の磁気ランダムアクセスメモリ。

【請求項10】 前記第2電流駆動線及び前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びていることを特徴とする請求項2記載の磁気ランダムアクセスメモリ。

【請求項11】 各TMR層は、前記2つの磁性層のスピンの向きが同じであるか又は逆であるかによって、1ビットデータを記憶することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項12】 前記第1及び第2電流駆動線に流れ

電流の向き及び量が制御し、各TMR層に与えられる境界の強さを異ならしめることにより、各TMR層に個別にデータを書き込むことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項13】 前記複数のTMR層は、互いに一定距離だけ離れていることを特徴とする請求項12記載の磁気ランダムアクセスメモリ。

【請求項14】 前記複数のTMR層のアステロイド曲線を互いに異ならしめることにより、各TMR層に個別にデータを書き込むことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項15】 前記複数のTMR層に対するデータ書き込みは、スピンの向きを異なるための境界が最も大きいTMR素子から最も小さいTMR素子に向かって、順次、行われることを特徴とする請求項14記載の磁気ランダムアクセスメモリ。

【請求項16】 書き込み動作時に、前記第1電流駆動線は、一方のみに向かって電流が流れ、前記第2電流駆動線は、一方又は他方向に向かって電流が流れ

ることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項17】 前記複数のTMR層の前記絶縁層の厚さを互いに異ならしめ、前記複数のTMR層に同一データが記憶されている場合における前記複数のTMR層の抵抗値を互いに異ならしめたことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項18】 前記TMR素子に対するデータ読み出しは、前記TMR素子から検出抵抗に接続し、前記検出抵抗の両端にから電圧を取出すことにより行うことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項19】 前記検出抵抗は、メモリ素子アレイの外部に接続されていることを特徴とする請求項18記載の磁気ランダムアクセスメモリ。

【請求項20】 読み出し動作時に、前記TMR素子に読み出し電圧が電気的に接続され、前記検出抵抗は、前記第1電流駆動線の一端と電気的に接続されることを特徴とする請求項18記載の磁気ランダムアクセスメモリ。

【請求項21】 境界を生成するための第1、第2及び第3電流駆動線と、前記第1電流駆動線の下面に接続して配置される第1TMR素子と、前記第1TMR素子に接続される第1スイッチ素子と、前記第1電流駆動線の上面に接続して配置される第2TMR素子と、前記第2TMR素子に接続される第2スイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項22】 前記第1及び第2電流駆動線に流れ

【請求項22】 前記第1電流駆動線は、ビット線であり、前記第2電流駆動線は、前記第1TMR素子の直下に配置され、前記第3電流駆動線は、前記第2TMR素子の直上に配置され、前記第2及び第3電流駆動線は、共に、前記ビット線と直交していることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項23】 前記第1TMR素子に対するデータ書き込みは、前記第1及び第2電流駆動線に流れる電流により発生する世界により行われ、前記第2TMR素子に対するデータ書き込みは、前記第1及び第3電流駆動線に流れる電流により発生する世界により行われることを特徴とする請求項22記載の磁気ランダムアクセスメモリ。

【請求項24】 前記第1及び第2スイッチ素子は、互いに電気的に接続され、その接続点は、ソース線に共通に接続されるところを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項25】 前記第2及び第3電流駆動線並びに前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項26】 第1電流駆動線と、前記第1電流駆動線に接続する第1及び第2TMR素子と、前記第1及び第2TMR素子と共に接続されるスイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを有していることを特徴とする磁気ランダムアクセスメモリ。

【請求項27】 前記第1TMR素子は、前記第1電流駆動線の下面に接続し、前記第2TMR素子は、前記第1電流駆動線の上面に接続することを特徴とする請求項26記載の磁気ランダムアクセスメモリ。

【請求項28】 前記第1電流駆動線は、第1ビット線と、前記第1ビット線と第2ビット線とから構成され、前記第1TMR素子は、前記第1ビット線に接続し、前記第2TMR素子は、前記第2ビット線に接続することを特徴とする請求項26記載の磁気ランダムアクセスメモリ。

【請求項29】 前記第1TMR素子は、前記第1ビット線の下面又は上面に接続し、前記第2TMR素子は、前記第2ビット線の下面又は上面に接続することを特徴とする請求項28記載の磁気ランダムアクセスメモリ。

【請求項30】 前記第1及び第2ビット線は、互いに電気的に接続されるところを特徴とする請求項28記載の磁気ランダムアクセスメモリ。

【請求項31】 請求項28記載の磁気ランダムアクセスメモリにおいて、前記第1TMR素子の近傍に配置される第2電流駆動線と前記第1TMR素子の近傍に配置される第3電流駆動線とを具備することを特徴とする

磁気ランダムアクセスメモリ。

【請求項32】 前記第1TMR素子は、前記第2電流駆動線と前記第1ビット線とに接続され、前記第2TMR素子は、前記第3電流駆動線と前記第2ビット線との間に配置され、前記第2及び第3電流駆動線は、前記第1及び第2ビット線と直交していることを特徴とする請求項31記載の磁気ランダムアクセスメモリ。

【請求項33】 前記第1TMR素子に対するデータ書き込みは、前記第1ビット線と前記第2電流駆動線に流れる電流により発生する世界により行われ、前記第2TMR素子に対するデータ書き込みは、前記第2ビット線と前記第3電流駆動線に流れる電流により発生する世界により行われることを特徴とする請求項32記載の磁気ランダムアクセスメモリ。

【請求項34】 前記第2及び第3電流駆動線のうちの1つは、前記第1ビット線と前記第2ビット線の間に配置されることを特徴とする請求項32記載の磁気ランダムアクセスメモリ。

【請求項35】 前記第1及び第2TMR素子に対するデータ読み出しは、前記第1電流駆動線に供給電流を電流の接続し、前記供給電流の電流の中へ供給電流を供給することにより行うことを特徴とする請求項26記載の磁気ランダムアクセスメモリ。

【請求項36】 前記第1又は第2TMR素子に対して書き込みデータを上書きし、前記書き込みデータの上書き前において前記供給電圧に変化があった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータとは異なるものを有していると判断し、前記書き込みデータの上書き前において前記供給電圧に変化があった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータとは同じ値を有していることを特徴とする請求項35記載の磁気ランダムアクセスメモリ。

【請求項37】 前記書き込みデータの上書きを行った後、再び、前記第1又は第2TMR素子に対して、前記第1又は第2TMR素子のデータを書き込むことを特徴とする請求項36記載の磁気ランダムアクセスメモリ。

【請求項38】 請求項1記載の磁気ランダムアクセスメモリにおいて、複数ビットの書き込みデータを同時に記憶しておけるレジスタを具備し、前記書き込みデータは、ビットごと、順次、前記第1TMR素子に書き込まれることを特徴とする磁気ランダムアクセスメモリ。

【請求項39】 請求項21又は26記載の磁気ランダムアクセスメモリにおいて、複数ビットの書き込みデータを同時に記憶しておけるレジスタを具備し、前記書き込みデータは、ビットごと、順次、前記第1又は第2TMR素子に書き込まれることを特徴とする磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トンネル型磁気抵抗(Tunneling Magnet Resistive)効果を用いた"1"、"0"一情報を書き込むTMR素子を利用してメモリセルを構成した磁気ランダムアクセスメモリ(MRAM: Magnet Random Access Memory)に関する。

【0002】

【従来の技術】近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つ、Roy-Scheerlein et.al.によって提案されたトンネル型10磁気抵抗(Tunneling Magnet Resistive: 以後、TMRと表記する。)効果を利用した記憶素子の一例は、ISSCC2000 Technical Digest p.228/A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)を参照。

【0003】磁気ランダムアクセスメモリは、TMR素子により"1"、"0"一情報を記憶する。TMR素子は、図34に示すように、2つの磁性層(強磁性層)により絶縁層(トンネルバリア)を挟んだ構造を有する。TMR素子に記憶される情報は、2つの磁性層のスピンの向きが平行又は反平行によって判断される。

【0004】ここで、図35に示すように、平行とは、TMR素子の磁性層のスピンの向きが同じであることを意味し、反平行とは、2つの磁性層のスピンの向きが逆向きであることを意味する(矢印の向きがスピンの向きを示している)。

【0005】なお、通常、2つの磁性層の一方側には、反強磁性層が配置される。反強磁性層は、一方側の磁性層のスピンの向きを固定し、他方のスピンの向きを30変えることにより情報を容易に書き換えるための部材である。

【0006】図35に示すように、2つの磁性層のスピンの向きが平行となった場合、これら2つの磁性層に挟まれた絶縁層(トンネルバリア)のトンネル抵抗は、最も低くなる。この状態が"1"一状態である。また、2つの磁性層のスピンの向きが反平行となった場合、これら2つの磁性層に挟まれた絶縁層(トンネルバリア)のトンネル抵抗は、最も高くなる。この状態が"0"一状態である。

【0007】次に、図36を参照しつつ、TMR素子に対する書き込み動作原理について簡単に説明する。

【0008】TMR素子は、互いに交差する書き込みワード線とデータ選択線(ビット線)の交点に配置される。そして、書き込みは、書き込みワード線及びデータ選択線に電流を流し、両配線に流れる電流により行われる原理を用いて、TMR素子のスピンの向きを反平行又は反平行にすることにより達成される。

【0009】例えば、書き込み時、データ選択線は、一方方向に向かう電流のみを流し、書き込みワード線

は、書き込みデータに応じて、一方又は他方向に向かう電流を流す。書き込みワード線とデータ選択線とが電流を流すとき、TMR素子のスピンの向きは、平行("1"一状態)となる。一方、書き込みワード線に他方向に向かう電流を流すとき、TMR素子のスピンの向きは、反平行("0"一状態)となる。

【0010】TMR素子のスピンの向きが変化するしくみは、次の通りである。図37のTMR曲線に示すように、TMR素子の抵抗(Easy-Axis)方向に境界Hxをかけると、TMR素子の抵抗値は、例えば、17%程度変化する。この変化率、即ち、変化の前後の抵抗値の比は、MR比と呼ばれる。

【0011】なお、MR比は、磁性層の性質により変化する。現在では、MR比が50%程度のTMR素子が得られている。

【0012】TMR素子には、Easy-Axis方向の境界HxとHard-Axis方向の境界Hyとの合成磁界が働く。図37の実線及び点線に示すように、Hard-Axis方向の境界Hyの大きさによって、TMR素子の抵抗値を変え、ために必要なEasy-Axis方向の境界Hxの大きさも変化する。この現象を利用することにより、アレイ状に配置されたメモリセルのうち、選択された書き込みワード線及び選択されたデータ選択線の交点に存在するTMR素子のみだけデータを書き込むことができる。

【0013】この様子から図38のアステロイド曲線を用いて説明する。TMR素子のTMR1のアステロイド曲線は、例えば、図38の曲線で示すようになる。即ち、Easy-Axis方向の境界HxとHard-Axis方向の境界Hyとの合成磁界の大きさがアステロイド曲線(実線)の外側(例えば、黒丸の位置)にあれば、磁性層のスピンの向きを反転させることができる。

【0014】逆に、Easy-Axis方向の境界HxとHard-Axis方向の境界Hyとの合成磁界の大きさがアステロイド曲線(実線)の内側(例えば、白丸の位置)にある場合には、磁性層のスピンの向きを反転させることはできない。

【0015】従って、Easy-Axis方向の境界Hxの大きさとHard-Axis方向の境界Hyの大きさを変え、合成磁界の大きさがHx-Hy平面内における位置を変え、ことにより、TMR素子に対するデータの書き込みを制御できる。

【0016】なお、読み出しは、選択されたTMR素子に電流を流し、そのTMR素子の抵抗値を検出することにより容易に行うことができる。

【0017】例えば、TMR素子に直列にスイッチ素子を接続し、選択されたワード線に接続されるスイッチ素子のみをオン状態にして電路経路を作る。その結果、選択されたTMR素子のみが電流が流れるため、そのTMR素子のデータを読み出すことができる。

【0018】

【発明が解決しようとする課題】近年、メモリの大容量化は、必要不可欠な技術となっている。メモリの大容量化を実現するために、従来のメモリは、素子の微細化によりメモセル面積を縮小したり、メモセルを三次元的に配置したり、さらには、メモセルに3個以上（又は複数ビット）のデータを記憶させている。

【0018】しかし、素子の微細化には、限界がある。また、磁気ランダムアクセスメモリにおいては、従来のメモセルは、1つのTMR素子のみを含んでいる。そして、このTMR素子は、図34に示すように、1つの絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層（強磁性層）により構成されている。

【0020】つまり、TMR素子は、2つの状態、即ち、2つの磁性層のスピンの向きが平行又は反平行しかとることのできないため、メモセルとしては、1ビットデータを記憶することができない。

【0021】本発明は、このような問題を解決するためになされたもので、その目的は、磁気ランダムアクセスメモリにおいて、1つのメモセルに3個以上（又は複数ビット）のデータを記憶できるように新規なデバイス構造を実現すると共に、その製造方法、書き込み動作原理、さらには、読み出し動作原理についても提案することにある。

【0022】
【課題を解決するための手段】(1) 本発明の磁気ランダムアクセスメモリは、データを記憶するTMR素子と、前記TMR素子に境界を与えるための第1及び第2電流駆動線とを備え、前記TMR素子は、隣り合わねば複数のTMR層から構成され、各TMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0023】本発明の磁気ランダムアクセスメモリは、さらに、ソース線と、前記TMR素子と前記ソース線の間に接続されるスイッチ素子とを備え、前記スイッチ素子は、前記TMR素子のデータを読み出す時にオン状態になる。

【0024】各TMR層は、前記2つの磁性層のうちの1つのスピンの向きを制御するための反磁性層を有している。前記反磁性層の両端には、非磁性導電層が配置される。

【0025】本発明の磁気ランダムアクセスメモリは、さらに、前記反磁性層の両端に接続される、各TMR層の前記2つの磁性層のうちの1つのスピンの向きを固定するための反磁性層を有する。

【0026】前記第1電流駆動線は、ビット線であり、前記TMR素子は、前記ビット線に接続している。

【0027】前記第2電流駆動線は、前記TMR素子の近傍に配置され、前記ビット線に直交している。

【0028】前記TMR素子は、前記ビット線の下面に接続し、前記第2電流駆動線は、前記TMR素子の直下

に配置される。

【0029】前記TMR素子は、前記ビット線の上面に接続し、前記第2電流駆動線は、前記TMR素子の直上に配置される。

【0030】前記第2電流駆動線及び前記ソース線は、異なる絶縁層に配置され、かつ、互いにオーバーラップして互いの方向に延びている。

【0031】各TMR層は、前記2つの磁性層のスピンの向きが同じであるか又は逆であるかによって、1ビットデータを記憶する。

【0032】前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる境界の強さを異ならしめることにより、各TMR層に個別にデータを記憶させる。

【0033】前記複数のTMR層は、互いに一定距離だけ離れている。

【0034】前記複数のTMR層のアステロイド曲線を互いに異ならしめることにより、各TMR層に個別にデータを記憶させる。ここで、前記複数のTMR層に対するデータ書き込みは、スピンの向きを変えるための境界が大きなTMR層から最も小さいTMR層に向かって、順次、行われる。

【0035】書き込み動作時、前記第1電流駆動線は、一方の方向に向かって電流が流れ、前記第2電流駆動線は、一方又は他方向に向かって電流が流れる。

【0036】前記複数のTMR層内の前記絶縁層の厚さを互いに異ならしめ、前記複数のTMR層に同一データが記憶されている場合における前記複数のTMR層の抵抗値を互いに異ならしめる。

【0037】前記TMR素子に対するデータ読み出しは、前記TMR素子に検出抵抗を電氣的に接続し、前記検出抵抗の両端から電圧を検出することにより行う。

【0038】読み出し動作時に、前記TMR素子に読み出し電圧が電氣的に接続され、前記検出抵抗は、前記第1電流駆動線の一端に電氣的に接続される。

【0039】(2) 本発明の磁気ランダムアクセスメモリは、境界を形成するための第1、第2及び第3電流駆動線と、前記第1電流駆動線の下面に接続して配置される第1TMR素子と、前記第1TMR素子に接続される第1スイッチ素子と、前記第1電流駆動線の上面に接続して配置される第2TMR素子と、前記第2TMR素子に接続される第2スイッチ素子とを備え、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0040】前記第1電流駆動線は、ビット線であり、前記第2電流駆動線は、前記第1TMR素子の直下に配

置され、前記第3電流駆動線は、前記第2TMR素子の直上に配置され、前記第2及び第3電流駆動線は、共に、前記ビット線に直交している。

【0041】前記第1TMR素子に対するデータ書き込みは、前記第1及び第2電流駆動線に流れる電流により発生する境界より行われ、前記第2TMR素子に対するデータ書き込みは、前記第1及び第3電流駆動線に流れる電流により発生する境界より行われる。

【0042】前記第1及び第2スイッチ素子は、互いに電氣的に接続され、その接続点は、ソース線に共通に接続される。

【0043】前記第2及び第3電流駆動線並びに前記ソース線は、異なる絶縁層に配置され、かつ、互いにオーバーラップして互いの方向に延びている。

【0044】(3) 本発明の磁気ランダムアクセスメモリは、第1電流駆動線と、前記第1電流駆動線に接続する第1及び第2TMR素子と、前記第1及び第2TMR素子に共通に接続されるスイッチ素子とを備え、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0045】前記第1TMR素子は、前記第1電流駆動線の下面に接続し、前記第2TMR素子は、前記第1電流駆動線の上面に接続する。

【0046】前記第1電流駆動線は、第1ビット線と、前記第1ビット線との第2ビット線とから構成され、前記第1ビット線は、前記第1電流駆動線に接続し、前記第2TMR素子は、前記第2ビット線に接続する。

【0047】前記第1TMR素子は、前記第1ビット線の下面に上面に接続し、前記第2TMR素子は、前記第2ビット線の下面又は上面に接続する。

【0048】前記第1及び第2ビット線は、互いに電氣的に接続されていてもよいし、別々に駆動されていてもよい。

【0049】本発明の磁気ランダムアクセスメモリは、さらに、前記第1TMR素子の近傍に配置される第2電流駆動線と、前記第2TMR素子の近傍に配置される第3電流駆動線とを備える。

【0050】前記第1TMR素子は、前記第2電流駆動線と前記第1ビット線の間に配置され、前記第2TMR素子は、前記第3電流駆動線と前記第2ビット線の間に配置され、前記第2及び第3電流駆動線は、前記第1及び第2ビット線に直交している。

【0051】前記第1TMR素子に対するデータ書き込みは、前記第1ビット線と前記第2電流駆動線に流れる電流により発生する境界より行われ、前記第2TMR素子に対するデータ書き込みは、前記第2ビット線と前記第3電流駆動線に流れる電流により発生する境界より行われる。

【0052】前記第2及び第3電流駆動線のうちの1つは、前記第1ビット線と前記第2ビット線の間に配置される。

【0053】前記第1及び第2TMR素子に対するデータ読み出しは、前記第1電流駆動線に検出抵抗を電氣的に接続し、前記検出抵抗の両端から電圧を検出することにより行う。

【0054】前記第1又は第2TMR素子に対して書き込みデータを上書きし、前記書き込みデータの上書き前後において前記検出電圧に变化があった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータとは異なる値を有していると判断し、前記書き込みデータの上書き前後において前記検出電圧に变化がなかった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータと同じ値を有していると判断する。

【0055】前記書き込みデータの上書きを行った後、再び、前記第1又は第2TMR素子に対して、前記第1又は第2TMR素子のデータを記憶させる。

【0056】本発明の磁気ランダムアクセスメモリは、さらに、複数ビットの書き込みデータを一時的に記憶しておくレジスタを備え、前記書き込みデータは、ビットごと、順次、前記TMR素子に書き込まれる。

【0057】前記レジスタビットの書き込みデータを一時的に記憶しておくレジスタを備え、前記書き込みデータは、ビットごと、順次、前記第1又は第2TMR素子に書き込まれる。

【0058】
【発明の実施の形態】以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリについて詳細に説明する。

【0059】本発明の磁気ランダムアクセスメモリの特徴は、1つのメモセルに3個以上（又は複数ビット）のデータを記憶できるデバイス構造にある。ここで、メモセルは、TMR素子又はこれとスイッチ素子の組み合わせにより構成されるものである。そして、まず、TMR素子について説明する。

【0060】【TMR素子】デュービは、TMR素子に、磁化状態（2つの磁性層のスピンの向きが平行又は反平行）として記憶される。従来は、図34に示したように、TMR素子は、基本的には、絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層により構成されていた。

【0061】従って、TMR素子には、2値（1ビット）データのデータを記憶することができ、3個以上（又は複数ビット）のデータを記憶することができなかった。ここで、以下の説明を分かり易くするため、絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層の組み合わせを、“TMR層”と称することとする。

【0062】このように、従来は、TMR素子が1つのTMR層のみから構成されていたため、1つのメモセル

10

20

30

40

50

10

20

30

40

50

11
ル(又はTMR素子)には、2値(1ビット)データしか記憶することができなかつた。
[0083]次に示し、本発明では、TMR素子を複数のTMR層から構成し、これら複数のTMR層の磁化の状態を制御することにより、1つのメモリセル(又はTMR素子)に対して、3値以上(又は複数ビット)のデータを記憶させる。

[0084]なお、1つのTMR素子を構成する複数のTMR層は、例えば、互いに積み重ねられることにより、当然に、1つにまとめられている。

[0085]TMR層は、例えば、図1及び図2に示すような構造を有していることが望ましい。図1の構造は、図34に示す構造と同じである。つまり、図1では、下地と保護層の間に、図34のTMR素子(TMR層)が配置されていると考えることができる。図2の構造は、図1の強磁性層を、強磁性層/非磁性層/強磁性層からなる三層構造に変えたものと考えることができる。

[0086]強磁性層としては、特に制限はないが、例えば、Fe、Co、Ni又はこれらの合金、スピントランポラの大きいマグネット、CrO₂、R₁MnO₃、(R: 希土類、X: Ca、Ba、Sr)などの酸化物、他、NiMnSb、PtMnSbなどのホイスラー合金などを用いることができる。

[0087]また、強磁性層には、Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、P、D、Pt、Zr、Ir、W、Mo、Nbなどの非磁性元素が多少含まれていても、強磁性を失わない限り、全く問題ない。

[0088]強磁性層の厚さは、あまりに薄いと、超常磁性となつてしまふ、そこで、強磁性層の厚さは、少なくとも超常磁性とならない程度の厚さが必要である。具体的に、強磁性層の厚さは、0.1nm以上、好ましくは、0.4nm以上100nm以下に設定される。

[0089]2つの磁性層(強磁性層)のうちの1つは、磁化の状態(スピンの向き)を固定することが望ましい。このように、2つの磁性層のうちの1つを、磁化の状態が固定された磁化固定層として使用する場合には、磁化固定層としての磁性層に反強磁性(反強磁性)を隣接して配置する。

[0090]この反磁性層は、磁化固定層が電流磁界の影響を受け難くなるように、書き込み時の電流磁界によって磁化固定層のスピンの向きが変化しないようにする(磁化固定層でない)1つの磁性層の磁化状態のみを変える)役割を果たす。

[0091]反磁性層としては、例えば、Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、Fe₂O₃などを用いることができる。

[0092]図2の構成は、強磁性層と非磁性層からなる2つの磁性層より成るトンネルバリアを取り

12
込んだ構造を提案する。強磁性層/非磁性層/強磁性層からなる三層構造(積層膜)は、例えば、Co(Co-Fe)/Ru/Co(Co-Fe)、Co(Co-Fe)/Ir/Co(Co-Fe)とすることができ、
[0093]このような構造を用いると、2つの磁性層のうちの1つを磁化固定層とした場合、書き込み時に、磁化固定層の磁化状態が電流磁界の影響をさらに受け難くなり、その磁化状態が固定される。

[0094]図1及び図2のいずれのTMR層においても、2つの磁性層(又は積層膜)のうちの1つを磁化固定層として用いた場合には、もう1つの磁性層(又は積層膜)は、磁化記録層として用いる。磁化記録層には、反強磁性層が隣接して配置されておらず、電流磁界の磁化状態(スピンの向き)は、書き込み時に発生する電流磁界より変化させることができる。

[0095]磁化記録層として、例えば、ソフト強磁性層/強磁性層からなる二層膜、又は、強磁性層/ソフト強磁性層/強磁性層からなる三層膜を使用した場合、並びに、非磁性層により反強磁性層との間の相互作用が弱る場合には、磁界が磁化記録層内で用いているため、磁界によるスピン状態の増大を避けることができる。

[0096]即ち、このような構造を採用することにより、メモリセルサイズがサブミクロン以下になつても、反強磁性層より電流磁界の消費電力が増大しない済む、という好ましい効果が見られる。

[0097]また、電流磁界配線に近い位置には、強磁性層/非磁性層/強磁性層からなる三層膜を配置することが望ましい。この三層膜(ソフトな層)上には、ソフト強磁性層/強磁性層からなる二層膜、又は、強磁性層/ソフト強磁性層/強磁性層からなる三層膜を配置してもよい。

[0098]絶縁層(トンネルバリア)としては、例えば、Al₂O₃、SiO₂、MgO、AlN、Bi₂O₃、MgF₂、CaF₂、SrTiO₃、AlLaO₃などの絶縁体を使用することができる。これらは、酸素欠陥、酸素欠陥、酸素欠陥などが存在していてもかまわない。

[0099]絶縁層(トンネルバリア)の厚さは、できるだけ薄い方がよいが、特に、その機能を果たすために、10nm以下に設定される。

[0100]なお、本発明では、上述したように、図1又は図2に示すようなTMR層を複数個積み重ね、1つのTMR素子を構成している。これにより、電気ランダムアクセスメモリにおいても、1つのメモリセル(又はTMR素子)に対して、3値以上(又は複数ビット)のデータを記憶させることができる。

[0101]第1実施形態 図3は、本発明の第1実施形態の形態に関する磁阻ランダムアクセスメモリのメモ

13
リセルを示している。
[0102]半導体基板11上には、スイッチ素子としてのMOSTランジスタQが形成される。MOSTランジスタQのゲート電極は、リードワード線12となつて、MOSTランジスタQのソース電極13は、プラグ14を経てしつとスーム15に接続される。

[0103]MOSTランジスタQのドレイン電極16は、プラグ17、18、21及び配線層18、20、22を介して、TMR素子に接続される。本発明では、TMR素子は、2つのTMR層TMR1、TMR2から

14
構成される。TMR素子は、配線層22とビット線(電流磁界線)23の間に設けられる。
[0104]TMR素子の直下には、電流磁界線(リードワード線)24が配線される。電流磁界線24は、ビット線23が延びる方向(カラム方向)に対して垂直となる方向(ロウ方向)に延びている。TMR素子には、ビット線23に流れる電流及び電流磁界線24に流れる電流により生成される磁界によりデータが書き込まれる。

[0105]本発明では、図4に示すように、TMR素子は、2つのTMR層TMR1、TMR2を縦方向に積み重ねた構造(2層積層TMR構造)を有している。この場合、マクロ的には同じ構造を有する2つのTMR層TMR1、TMR2の間に、非磁性層を配置する。

[0106]但し、例えば、図5の例に示すように、1つの反強磁性層を、2つのTMR層TMR1、TMR2で共有し、非磁性層を省略してもよい。

[0107]なお、本発明では、TMR素子は、2つのTMR層から構成され、TMR素子に4個までのデータを記憶させることを前提として説明したが、本発明は、3つ以上のTMR層から構成されるTMR素子にも適用できる。この場合、1つのメモリセルに3値以上のデータを記憶させることができる。

[0108]図4に示すような層間TMR構造を採用する場合、TMR層TMR1、TMR2は、マクロ的には互いに同じ構造を有しているが、書き込み動作原理上の理由から、TMR層TMR1、TMR2のオプティミズド層は、それぞれ異なるとなっている。

[0109]例えば、図3に示すように、ビット線側のTMR層TMR1のオプティミズド層は、実際でより、電流磁界線(リードワード線)側のTMR層TMR2のオプティミズド層は、位相で示すように異なる。つまり、TMR層TMR1、TMR2に、このような特性の相違を設けることにより、書き込み時に、TMR層TMR1、TMR2に選択的にデータを書き込むことができる。

[0110]即ち、例えば、電流磁界線24に流れる電流(又はその電流の向き)によって生成される磁界の強さを調整し、図3の8の位置でTMR層TMR1にデータATA1を書き込む。この時、TMR層TMR2

15
にも、データATA1が書き込まれてしまう。
[0111]そこで、この後、例えば、電流磁界線24に流れる電流(又はその電流の向き)によって生成される磁界の強さをさらに調整し、図3の8の位置でTMR層TMR2にデータATA2を書き込む。この時、磁界の強さは、TMR層TMR1のデータを書き込むために十分な大きさを持っていないため、TMR層TMR1にデータATA2が書き込まれることなく、データATA1がそのまま保持される。

[0112]このように、TMR層TMR2に対するデータ書き込みに必要な磁界は、TMR層TMR1に対するデータ書き込みに必要な磁界よりも小さいため、書き込みに必要な磁界を必要とするTMR層から弱い磁界で十分な電流磁界方向で順次書き込みを実行していくことにより、複数のTMR層に選択的にデータを書き込むことができる。

[0113]以上の例は、2つのTMR層TMR1、TMR2の位置が、それぞれビット線23及び電流磁界線24からほぼ同じ距離にある場合に適用される。つまり、2つのTMR層TMR1、TMR2は、同じ大きさの磁界を受けることと前提としている。

[0114]また、上述の書き込み動作原理は、TMR層TMR1、TMR2が受ける磁界の大きさは同じとし、TMR層TMR1、TMR2のオプティミズド層を変えることを前提とするが、これに代えて、TMR層TMR1、TMR2のオプティミズド層は同じとし、TMR層TMR2が受ける磁界の大きさを異なるようにしてもよい。

[0115]なお、書き込み動作時に、TMR層TMR1、TMR2が受ける磁界の大きさを異なるには、例えば、TMR層TMR1、TMR2を、ビット線23又は電流磁界線24からの距離が実質的に異なる位置にそれぞれ配置すればよい。この場合においても、複数のTMR層に選択的にデータを書き込むことができる。

[0116]これを具体的に示したのが図6及び図7である。
[0117]図6は、半導体の円柱の中心から距離rと円周方向の配線Hとの関係を示している。

[0118]実際の配線は、矩形を有しているが、概略的には、配線の中心から円周に対する距離rの変化は、円柱の中心から距離rで近似できる。このような近似を行った場合、配線の外側においては、円周方向の磁界Hは、円柱の中心から距離rに反比例して減少する。

[0119]この現象(磁界が流れる電流により生成される磁界の位置依存性)を利用すると、2つのTMR層TMR1、TMR2に、それぞれ異なるデータを書き込むことができる。

[0120]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

16
[0121]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

[0122]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

[0123]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

[0124]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

[0125]図7は、書き込み動作時にTMR層TMR1、TMR2にかかると磁界を示している。

【0101】例えば、TMR層TMR1、TMR2の縦方向距離を1とすれば、TMR層TMR1にデータを書き込む場合には、電流1xにより生成される境界の影響が大きく、電流1yにより生成される境界の影響は、間隔1やTMR層TMR2の厚さなどにより電流1yが流れる距離とTMR層TMR1との距離が長くなるために、小さくなる。

【0102】また、TMR層TMR2にデータを書き込む場合には、電流1yにより生成される境界の影響が大きく、電流1xにより生成される境界の影響は、間隔1やTMR層TMR1の厚さなどにより電流1xが流れる距離とTMR層TMR2との距離が長くなるために、小さくなる。

【0103】ここで、TMR層TMR1、TMR2にデータを書き込む（スピン向きを変える）ためには、TMR層TMR1、TMR2が配置するポイントで、電流1xにより生成される境界の大きさと電流1yにより生成される境界の大きさが等しくなければならないとする。例えば、TMR層TMR1にデータを書き込む際には、TMR層TMR1の位置で、電流1xにより生成される境界の大きさと電流1yにより生成される境界の大きさが等しくなければならない。

【0104】このようにするためには、書き込み電流1yを書き込み電流1xよりも大きくする必要がある。

【0105】例えば、図示するように、電流1xが流れる距離とTMR層TMR1との距離、TMR層TMR1、TMR2同士の距離、及び、電流1yが流れる距離とTMR層TMR2との距離が、それぞれ、1であるとする。電流1xが流れる距離とTMR層TMR1との距離は、1、電流1yが流れる距離とTMR層TMR1との距離は、2（となるため（TMR素子の厚さは、無視する）。図8の関係式（1）より、 $1y = 2 \times 1x$ とすれば、合成境界は、図3のアステロイド曲線の外側の黒丸の位置となり、TMR層TMR1にデータを書き込むことができる。

【0106】この時、TMR層TMR2に対しては、合成境界がアステロイド曲線の内側の位置となるようにすれば、TMR層TMR2にデータが書き込まれることは、ない。

【0107】同様に、例えば、TMR層TMR2にデータ

を書き込む際には、 $1x = 2 \times 1y$ とし、合成境界が、図3のアステロイド曲線の内側の黒丸の位置となるようにすればよい。但し、本例では、TMR層TMR1、TMR2のアステロイド曲線は、同一である仮定している。

【0108】次に、メモリセルを構成するTMR素子が直列接続された2つのTMR層TMR1、TMR2からなる場合に、各TMR層TMR1、TMR2の抵抗値、即ち、各TMR層TMR1、TMR2に配置されたデータを独立に検出する方法（読み出し動作原理）について説明する。

【0109】図8は、TMR層のMR比[%]と抵抗R[Ω]の接合面抵抗依存性を示している。

【0110】図8に示すように、MR比は、接合面抵抗に依存しないが（実際）、抵抗値Rは、接合面抵抗に依存と共に、トンネルバリアとしての絶縁層の厚み（ここで、は、A10xの厚み）に応じて変化する（点線）。

【0111】ここで、TMR層TMR1、TMR2のMR比をそれぞれ50%とし、進化の状態で同じ場合におけるTMR層TMR1、TMR2の抵抗値に関しては、TMR層TMR1のそれがTMR層TMR2のその2倍であると仮定して、具体的な読み出し動作原理について考える。

【0112】なお、このような条件については、例えば、TMR層TMR2のトンネルバリアの厚さを、TMR層TMR1のトンネルバリアの厚さよりも厚くすることにより、また、TMR層TMR2の接合面抵抗を、TMR層TMR1の接合面抵抗よりも大きくすることにより、実現することができる。

【0113】この場合、TMR層TMR1、TMR2の抵抗値を検出するための検出回路の等価回路は、図9に示すように、簡単にすることができる。

【0114】TMR層TMR1、TMR2は、進化の状態で応じて、それぞれ、2つの状態（高抵抗値High）及び低抵抗値（Low）をとることができるため、TMR層TMR1、TMR2の抵抗値 R_{TMR1} 、 R_{TMR2} は、進化の状態で応じて、表1に示すようになる。

【0115】

【表1】

	RTMR1	RTMR2
高抵抗値 High	4	2
低抵抗値 Low	2	1

$$V_{00} = (R_{01} + V_1) / (R_{01} + R_{TMR1} + R_{TMR2})$$

$$V_{01} = R_{01} + C \times T \times S \quad V_{L0} = 4 / (4 + 2) = 0.57$$

$$V_{L1} = 4 / (4 + 2) = 0.5$$

$$V_{H1} = 4 / (4 + 4) = 0.44$$

$$V_{H01} = 4 / (4 + 4 + 2) = 0.4$$

$$V_{L1} / V_{L0} = 0.07$$

$$V_{H1} / V_{H0} = 0.06$$

$$V_{H1} / V_{H0} = 0.04$$

抵抗変化による4値レベルの検出

【0116】即ち、TMR層TMR1の抵抗値 R_{TMR1} は、“2”又は“4”となり、TMR層TMR2の抵抗値 R_{TMR2} は、“1”又は“2”となる。また、検出抵抗 R_S の抵抗値は、“4”であるとする。

【0117】この時、TMR層TMR1、TMR2の進化の状態（データ“0”、“1”に対応）に応じて、TMR層TMR1、TMR2の抵抗値 R_{TMR1} 、 R_{TMR2} の組み合わせは、4通り、即ち、 Φ $R_{TMR1} = 2$ (Low)、 $R_{TMR2} = 1$ (Low)、 Φ $R_{TMR1} = 2$ (Low)、 $R_{TMR2} = 2$ (High)、 Φ $R_{TMR1} = 4$ (High)、 $R_{TMR2} = 1$ (Low)、 Φ $R_{TMR1} = 4$ (High)、 $R_{TMR2} = 2$ (High)、 Φ $R_{TMR1} = 1$ (Low)、 $R_{TMR2} = 2$ (High)、 Φ $R_{TMR1} = 1$ (Low)、 $R_{TMR2} = 1$ (Low)と、考えられる。

【0118】この4通りの場合に対応する検出電圧 V_{00} を、それぞれ、 V_{L1} 、 V_{L0} 、 V_{H1} 、 V_{H0} とすると、読み出し電圧 V_0 を1Vとしたときには、 $V_{L1} = 0.57V$ 、 $V_{L0} = 0.5V$ 、 $V_{H1} = 0.44V$ 、 $V_{H0} = 0.4V$ となる。

【0119】また、各検出電圧の差は、 $V_{L1} - V_{L0} = 70mV$ 、 $V_{L1} - V_{L0} = 60mV$ 、 $V_{H1} - V_{H0} = 40mV$ であり、これらの差があれば、十分に、各検出電圧（4値データ）を検出することができる。

【0120】なお、検出抵抗 R_0 の抵抗値を、TMR層TMR1、TMR2の抵抗値 R_{TMR1} 、 R_{TMR2} の合計値（4通り）の平均（合計平均抵抗値）にできただけ近い値とすれば、最大の検出電圧を得ることができる。

【0121】ところで、上述の書き込み動作原理及び読み出し動作原理の説明では、直列接続された2つのTMR層を用い、4値レベルのデータの書き込み/読み出しについて説明したが、直列接続されるTMR層の数を、3、4、5・・・と増やすことにより、例えば、5値レベル以上のデータの書き込み/読み出しを行うこともできる。

【0122】図10は、本発明の明ける進路ランダムアクセスメモリのメモリセルアレイ部回路構成の一例を示している。

【0123】制御信号 ϕ_1 、 ϕ_31 、 ϕ_32 、 ϕ_33 は、NチャネルMOSトランジスタQN1、QN31、QN32、QN33のオン/オフを制御して、ビット線BL1、BL2、BL3に電流を流すか否かを決定する。ビット線BL1、BL2、BL3の一端（NチャネルMOSトランジスタQN1側）には、電流駆動電圧25が接続される。電流駆動電圧25は、ビット線BL1、BL2、BL3に電流駆動電圧 V_y を供給する。

【0124】NチャネルMOSトランジスタQN31、QN32、QN33は、ビット線BL1、BL2、BL3の他端と接地点との間に接続される。

【0125】そして、書き込み動作時においては、制御信号 ϕ_1 が“H”レベルとなり、かつ、制御信号 ϕ_3 が1、 ϕ_32 、 ϕ_33 のうち1つが“H”レベルとなる。

例えば、メモリセルMC1のTMR素子（TMR層TMR1）に対して書き込みを行う場合には、図10のタイミングチャートに示すように、制御信号 ϕ_1 、 ϕ_3 が1、“H”レベルとなるため、ビット線BL1に電流が流れる。この時、制御信号 ϕ_41 、 ϕ_42 、 ϕ_43 は、“L”レベルとなっている。

【0126】また、 V_{x1} は、“1”-書き込みのための電流駆動電圧であり、 V_{x2} は、“0”-書き込みのための電流駆動電圧である。

【0127】例えば、“1”-書き込み時には、図11に示すように、制御信号 ϕ_5 、 ϕ_11 が“H”レベルになる。この時、制御信号 ϕ_5 、 ϕ_12 は、“L”レベルとなっている。このため、ライトワード線WW11には、左から右（電流駆動電圧25から接地点）に向かって電流が流れる。従って、ビット線BL1とライトワード線WW11の交点に配置されるメモリセルMC1のTMR素子（TMR層TMR1）に“1”-データが書き込まれる。

【0128】また、“0”-書き込み時には、図11に示すように、制御信号 ϕ_5 、 ϕ_11 が“H”レベルになる。この時、制御信号 ϕ_5 、 ϕ_12 は、“L”レベルとなっている。このため、ライトワード線WW11には、右から左（接地点から電流駆動電圧27）に向かって電流が流れる。従って、ビット線BL1とライトワード線WW11の交点に配置されるメモリセルMC1のTMR素子（TMR層TMR1）に“0”-データが書き込まれる。

【0129】制御信号 ϕ_1 、 ϕ_31 、 ϕ_32 、 ϕ_33 は、NチャネルMOSトランジスタQN1、QN31、QN32、QN33のオン/オフを制御して、ビット線BL1、BL2、BL3に電流を流すか否かを決定する。ビット線BL1、BL2、BL3の一端（NチャネルMOSトランジスタQN1側）には、電流駆動電圧25が接続される。電流駆動電圧25は、ビット線BL1、BL2、BL3に電流駆動電圧 V_y を供給する。

【0129】このように、書き込み動作時において、制御信号φ1は、ビット線BLに駆動電流を流すために用いられ、制御信号φ3、φ2、φ3は、駆動電流を流すビット線電流を決定するために用いられる（本例では、ビット線に流れる駆動電流の向きは、一定であるとしている。）。また、制御信号φ5、φ6は、ライトワード線に流れる電流の向き（本例では、書き込みデータに対応）を制御し、制御信号φ11、φ12は、駆動電流を流すライトワード線決定する。

【0130】本例では、説明を簡単にするため、3×2のメモリスセルアレイを前提としている。ここで、ライトワード線WL1、WL2とビット線BL1、BL2、BL3の交点には、それぞれ、メモリスセル（具体的には、2つのTMR層TMR1、TMR2からなるTMR素子）が配置されている。

【0131】ここで、メモリスセル（TMR素子）MC1に記憶されたデータを読み出すためには、制御信号φ2、φ1、φ2、φ4、φ4、φ4は、以下のように制御する。

【0132】即ち、読み出し動作時には、ライトワード線WL1に与える制御信号φ2を“H”レベルとし、ライトワード線WL1に繋がるNチャネルMOSトランジスタをオン化する。この時、他のライトワード線WL2に与える制御信号φ2は、“L”レベルとなる。

【0133】また、制御信号φ4を“H”レベルとし、他の制御信号φ2、φ4を“L”レベルとすると、読み出し動作時に、メモリスセルMC1（NチャネルMOSトランジスタ及びTMR素子）、ビット線BL1、NチャネルMOSトランジスタQN4及び読み出し電圧V_oを經由して、接地点に向かって、駆動電流が流れる。

【0134】つまり、例えば、図9に示した読み出し動作原理により、抽出電圧V_oの両端には、メモリスセルMC1のデータ抽出に応じた抽出電圧V_oが発生する。この抽出電圧V_oを、例えば、センスアンプS/Aにより検出することにより、メモリスセル（TMR素子）のデータを読み出すことができる。

【0135】図11及び図12は、図10のメモリスセルMC1に対する書き込み動作時を示している。

【0136】ここで、メモリスセルMC1は、直列接続された2つのTMR層TMR1、TMR2を有し、TMR層TMR1、TMR2のアステロイド曲線は、図38に示すようになっていると想定する。

【0137】まず、TMR層TMR1に対するデータ書き込みを実行する（図11）。

【0138】制御信号φ1、φ3を“H”レベルとし、ビット線BL1に電流を流すと共に、“1”-書き込み時には、制御信号φ5、φ1を“H”レベルとし、“0”-書き込み時には、制御信号φ6、φ1を

“H”レベルとして、ライトワード線WL1に右向き又は左向きの電流を流す。

【0139】そして、メモリスセルMC1のTMR素子に、ライトワード線WL1及びビット線BL1に流れる電流により生成される合成磁場を与える。この時、合成磁場は、TMR層TMR1のアステロイド曲線（図38の実例）の外側、例えば、黒丸の位置にように設定する。

【0140】この結果、メモリスセルMC1のTMR層TMR1には、所定のデータが書き込まれる。なお、この時、同時に、メモリスセルMC1のTMR層TMR2にも、所定のデータが書き込まれる。

【0141】この後、TMR層TMR2に対するデータ書き込みを実行する（図12）。

【0142】TMR層TMR2に対するデータ書き込み動作が、TMR層TMR1に対するデータ書き込み動作と相違する点は、制御信号φ1、φ11の“H”レベルが、TMR層TMR1に対するデータ書き込み動作の場合に制御信号φ1、φ11の“H”レベルの1/2になるという点にある。

【0143】この場合に、制御信号φ1、φ3を“H”レベルとし、ビット線BL1に電流を流すと共に、“1”-書き込み時には、制御信号φ5、φ11を“H”レベルとし、“0”-書き込み時には、制御信号φ6、φ11を“H”レベルとして、ライトワード線WL1に右向き又は左向きの電流を流し、メモリスセルMC1のTMR素子に、ライトワード線WL1及びビット線BL1に流れる電流により生成される合成磁場を与える。この時、合成磁場は、TMR層TMR2のアステロイド曲線（図38の点線）の外側であって、かつ、TMR層TMR1のアステロイド曲線（図38の実例）の内側、例えば、白丸の位置になる。

【0144】この結果、メモリスセルMC1のTMR層TMR2には、所定のデータが書き込まれる。なお、この時、メモリスセルMC1のTMR層TMR1の磁化状態（データ）は、変わることがないため、既に、書き込みが完了したTMR層TMR1のデータが破壊されることはない。

【0145】このように、TMR層TMR1、TMR2が図38に示すようなアステロイド曲線を有する場合、TMR層TMR1、TMR2に選択的にデータを書き込むことができる。また、読み出し時には、TMR層TMR1、TMR2の磁化状態（“1”又は“0”）に対応した4電流の抽出電圧V_oが、例えば、センスアンプS/Aより、4電流の電圧レベルV_{out}に変換され、また、4電流の電圧レベルV_{out}を基準電圧と比較することにより、この電圧レベルV_{out}を2ビットデータに変換することができる。

【0146】なお、本例では、メモリスセル内のTMR素子が2つのTMR層TMR1、TMR2から構成さ

れ、この2つのTMR層TMR1、TMR2のアステロイド曲線が互いに異なる場合を前提としたが、例えば、図7で説明したように、同じアステロイド曲線を持つ2つのTMR層を用いた場合においても、これら2つのTMR層の相対的な位置を変え、2つのTMR層に異なる境界の強度に差をつけても、同様の効果を得ることができる。この場合には、書き込み電流を調整することにより、2つのTMR層のどちら側から書き込みを実行できる。

【0147】次に、本実施の形態に属する磁気ランダムアクセスメモリのデバイス構造及びその製造方法について説明する。

【0148】図13及び図14は、本発明の第1実施の形態に属する磁気ランダムアクセスメモリのデバイス構造を示している。

【0149】この磁気ランダムアクセスメモリは、図3において説明した磁気ランダムアクセスメモリを詳細に示したものと考えることができる。ここで、図13及び図14においては、図3と同一の部分には、同一符号を付けてある。

【0150】半導体基板11内には、STI（Shallow Trench Isolation）構造を有する素子分離層30が配置される。素子分離層30は、複数の素子領域を電気的に分離している。なお、本例では、素子分離層30は、STI構造であるが、その他の構造（例えば、LOCOS構造）であってもよい。

【0151】半導体基板11上の素子領域内には、素子領域11に渡ってのMOSトランジスタが形成される。MOSトランジスタのゲート電極は、ライトワード線12となっている。MOSトランジスタのソース拡散層13は、プラグ14を經由してソース線（接地線）15に接続される。

【0152】MOSトランジスタのドレイン拡散層16は、プラグ17、19、21及び配線層18、20、22を經由して、縦向きTMR素子31に接続される。

【0153】プラグ17は、例えば、不純物を含んだ導電性ポリシリコンや、金銀膜などから構成され、プラグ19、21及び配線層18、20、22は、例えば、アルミニウム、銅などの金属膜から構成される。

【0154】TMR素子31は、縦向きな複数のTMR層から構成される。この縦向きTMR素子31は、例えば、図4、図5に示すような構造を有する。TMR素子31は、配線層（ローカルインターコネクト配線）22とビット線23の間に挟まれている。

【0155】TMR素子31の直下には、電流駆動線24が配設される。電流駆動線24は、ビット線23の延び方向（ヤム方向）に対して垂直となる方向（ワウ方向）に延びている。TMR素子31は、ビット線23に流れる電流及び電流駆動線24に流れる電流により生成される境界によりデータが書き込まれる。

【0156】次に、図13及び図14の磁気ランダムアクセスメモリの製造方法について説明する。

【0157】まず、図15及び図16に示すように、PEP（Photo Engraving Process）、CVD（Chemical Vapour Deposition）、CMP（Chemical Mechanical Polishing）などの周知の方法を用いて、半導体基板11内に、STI構造の素子分離層30を形成する。

【0158】また、素子分離層30に取り囲まれた素子領域内にMOSトランジスタを形成する。この後、CVD法により、MOSトランジスタを完全に覆う絶縁層32を形成する。PEP及びRIE（Reactive Ion Etching）を用いて、絶縁層32内に、MOSトランジスタのソース拡散層13及びドレイン拡散層16に達するコンタクトホールを形成する。

【0159】また、絶縁層32上に、コンタクトホールを完全に満たす導電材（例えば、不純物を含む導電性ポリシリコン、金銀膜など）を形成する。そして、CMPにより導電材を研磨し、コンタクトプラグ14、17を形成する。

【0160】次に、図17及び図18に示すように、CVD法を用いて、絶縁層32上に、絶縁層33を形成する。PEP及びRIEを用いて、絶縁層33内に、配線溝を形成する。スパッタ法により、絶縁層33上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、配線15、18を形成する。

【0161】なお、配線15は、ソース線（接地線）として用いる。

【0162】続けて、CVD法を用いて、絶縁層33上に、絶縁層34を形成する。PEP及びRIEを用いて、絶縁層34内に、バイアホール（via hole）を形成する。スパッタ法により、絶縁層34上に、バイアホールを完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、プラグ19を形成する。

【0163】次に、図19及び図20に示すように、CVD法を用いて、絶縁層34上に、絶縁層35を形成する。PEP及びRIEを用いて、絶縁層35内に、配線溝を形成する。スパッタ法により、絶縁層35上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、配線20、24を形成する。

【0164】なお、配線24は、書き込み動作時に境界を発生させるための電流を流す電流駆動線として機能する。

【0165】続けて、CVD法を用いて、絶縁層35上に、絶縁層36を形成する。PEP及びRIEを用いて、絶縁層36内に、バイアホールを形成する。スパッタ法により、絶縁層36上に、バイアホールを完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）

27

(15)

13は、プラグ14を經由してソース線（接地線）15に接続される。即ち、本例では、カラム方向に隣接する2つのメモリセルは、1つのソース線13及び1つのソース線15を共有している。

[0199] ソース線13を共有する2つのMOSトランジスタのうち一方に隣接して、そのドレイン拡散層18は、プラグ17、19、21及び配線層18、20、22Aを經由して、TMR素子31Aに接続される。かつ、プラグ17、19、21、21'、38及び配線層18、20、22A、22C'、22Dを經由して、TMR素子31Cに接続される。

[0200] プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19、21、21'、38及び配線層18、20、22A、22C'、22Dは、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31A、31Cは、例えば、図4及び図5に示すような縦向きTMR素子でもよい。図34に示すような通常のTMR素子でもよい。

[0201] TMR素子31Aは、配線層（ローカルインターコネクト配線）22Aと第1層目の共通ビット線23Aの下面との間に配置され、TMR素子31Cは、配線層（ローカルインターコネクト配線）22Dと第2層目の共通ビット線23Bの下面との間に配置されている。

[0202] TMR素子31Aの直下には、電流駆動線24Aが配置される。電流駆動線24Aは、共通ビット線23A、23Bが伸びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に伸びている。TMR素子31Aは、共通ビット線23Aに流れる電流及び電流駆動線24Aに流れる電流により生成される磁界によりデータが書き込まれる。

[0203] TMR素子31Cの直下には、電流駆動線24Bが配置される。電流駆動線24Bは、共通ビット線23A、23Bが伸びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に伸びている。TMR素子31Cは、共通ビット線23Bに流れる電流及び電流駆動線24Bに流れる電流により生成される磁界によりデータが書き込まれる。

[0204] ソース線13を共有する2つのMOSトランジスタのうち一方に隣接して、そのドレイン拡散層18は、プラグ17、19、21、21'、38及び配線層18、20、22B、22Cを經由して、TMR素子31Bに接続され、プラグ17、19、21、21'、38、39及び配線層18、20、22B、22C、22E、22E'を經由して、TMR素子31Dに接続される。

[0205] プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19、21、21'、38、39及び配線層18、20、22B、22C、22E、22E'は、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31B、31Dは、例えば、図4及び図5に示すような縦向きTMR素子でもよい。図34に示すような通常のTMR素子でもよい。

28

0、22B、22C、22E、22E'は、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31B、31Dは、例えば、図4及び図5に示すような縦向きTMR素子でもよい。図34に示すような通常のTMR素子でもよい。

[0206] TMR素子31Bは、配線層（ローカルインターコネクト配線）22Cと第1層目の共通ビット線23Aの上面との間に配置され、TMR素子31Dは、配線層（ローカルインターコネクト配線）22E'と第2層目の共通ビット線23Bの上面との間に配置されている。

[0207] TMR素子31Bの直上には、電流駆動線24Bが配置される。電流駆動線24Bは、共通ビット線23A、23Bが伸びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に伸びている。TMR素子31Bは、共通ビット線23Aに流れる電流及び電流駆動線24Bに流れる電流により生成される磁界によりデータが書き込まれる。

[0208] TMR素子31Dの直上には、電流駆動線24Cが配置される。電流駆動線24Cは、共通ビット線23A、23Bが伸びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に伸びている。TMR素子31Dは、共通ビット線23Bに流れる電流及び電流駆動線24Cに流れる電流により生成される磁界によりデータが書き込まれる。

[0209] なお、本例では、TMR素子31A、31B、31C、31Dは、半導体基板上1の上方から見た場合に、互いにオーバーラップ（完全一致）しているが、例えば、部分的にオーバーラップしていても、また、全くオーバーラップしないような位置に設けてもよい。

[0210] ここで、本実施の形態に関わるデバイス構造では、1カラム内に複数の共通ビット線23A、23Bを配置し、かつ、各共通ビット線23A、23Bの上下にTMR素子を配置している。

[0211] この場合、例えば、共通ビット線23A、23Bの下面に配置されるTMR素子31A、31Cに隣接して、1つのソース線を共有する複数のMOSトランジスタのうち1つに電気的に接続し、さらに、第1層目の共通ビット線23Aとプラグ21'が接続しないように、配線（ローカルインターコネクト配線）22A、22Dのパターンを工夫している。

[0212] また、例えば、共通ビット線23A、23Bの上面に配置されるTMR素子31B、31Dに隣接して、1つのソース線を共有する複数のMOSトランジスタのうち他の1つに電気的に接続し、さらに、第1層目の共通ビット線23Aとプラグ21'が接続しないように、かつ、第2層目の共通ビット線23Bとプラグ21'の接続を工夫している。配線（ローカルインターコネクト配線）22B、22C、22E、22E'のパ

29

ターンを工夫している。

[0213] また、電流駆動線24Aは、ソース線15の直上及びTMR素子31Aの直下に配置され、電流駆動線24Bは、TMR素子31B、31Cの間に配置され、電流駆動線24Cは、TMR素子31Dの直上に配置される。即ち、電流駆動線24Aは、配線20と同じレベル（配線層）に配置でき、さらに、電流駆動線24Bは、2つのTMR素子31B、31Cのデータ書き込みのために使用できるため、本例では、各配線を無駄なスペースなしに配置することができ、メモリセル面積の縮小に貢献できる。

[0214] なお、電流駆動線24A、24B、24Cは、TMR素子31A、31B、31C、31Dにできるだけ近い位置に配置することが望ましい。また、本例では、電流駆動線24A、24B、24Cは、TMR素子31A、31B、31C、31Dの直下又は直上に配置されているが、例えば、電流駆動線24A、24B、24Cの位置とTMR素子31A、31B、31C、31Dの位置が多少ずれていても全く問題はない。

[0215] また、複数の共通ビット線23A、23B、23Cは、例えば、メモリアルレイアウトとその端部において互いに電気的に接続されていてもよい。又は、電気的に分断されていてもよい。

[0216] 次に、図29の平面図においては、配線22A、22C、22D、22E'のパターンがプラグ21、21'、38、39の位置から大きくずれたため、ビット線23A、23Bの一部を省略している。同様に、配線22A、22C、22D、22E'は、ハッチングで示している。

[0217] 本例の第3実施の形態に関わる縦断ラスタマクセルメモリにおいては、1つのメモリセル3個以上（又は複数ビット）のデータを記憶できると共に、1カラム内に複数の共通ビット線を配置し、共通ビット線の上下にTMR素子（1層TMR構造又は複数層の縦断ラスタマクセル構造のいずれでもよい）を配置し、互いに隣接する2つのメモリセルでソース線を共有し、書き込み時に、読み出し動作においては、例えば、1つのワード線12が選択され、そのワード線12に接続される1つのMOSトランジスタがオン状態となったとき、そのMOSトランジスタと複数の共通ビット線23A、23Bとの間に接続される複数のTMR素子に電流が流れる。即ち、複数の共通ビット線23A、23Bは、読み出し動作時に互いに電気的に

(16)

30

接続されているものとする。

[0220] この場合、読み出し動作時におけるメモリセルの読み出し回路の平均回路は、図31に示すようになる。

[0221] ここで、図29及び図30Cに示すように、1つのメモリセルは、1つのMOSトランジスタと2つのTMR素子により構成されるものとする。また、各TMR素子は、1つのTMR層を有するものとする。第1層目の共通ビット線23Aに接続されるTMR素子（2つのTMR層）の抵抗値は、 R_{TMR11} 、 R_{TMR12} とし、第2層目の共通ビット線23Bに接続されるTMR素子（2つのTMR層）の抵抗値は、 R_{TMR21} 、 R_{TMR22} とする。

[0222] 図31において、“...”は、共通ビット線が3つ以上（3層以上）になった場合を示している。本例では、共通ビット線23A、23Bは、2つであるため、図面では、第1層と第2層のみを示している。

[0223] 本例では、電源Vと検出線V₀の間に複数のTMR素子が並列に接続されるため、各TMR素子に記憶されたデータを読み出すためには、上述の第1及び第2実施の形態で適用される読み出し動作原理をそのまま採用することはできない。即ち、第1層目の共通ビット線23Aに接続されるTMR素子TMR1のデータか、又は、第2層目の共通ビット線23Bに接続されるTMR素子TMR2のデータかを判別できない場合があるために、各検出電位V₀の値がまちまちとなるためである。

[0224] 従って、本例に特許の読み出し動作原理を適用する必要がある。

[0225] その読み出し動作原理は、以下の通りである。

[0226] まず、1つのメモリセルは、2つのTMR素子を含んでいるため、その1つのメモリセルには、最大で、16個のデータ、即ち、 $(R_{TMR11}, R_{TMR12}, R_{TMR21}, R_{TMR22}) = (0, 0, 0, 0)$ 、 $(0, 0, 0, 1)$ 、 $(0, 0, 1, 0)$ 、 $(0, 0, 1, 1)$ 、 $(0, 1, 0, 0)$ 、 $(0, 1, 0, 1)$ 、 $(0, 1, 1, 0)$ 、 $(0, 1, 1, 1)$ 、 $(1, 0, 0, 0)$ 、 $(1, 0, 0, 1)$ 、 $(1, 0, 1, 0)$ 、 $(1, 0, 1, 1)$ 、 $(1, 1, 0, 0)$ 、 $(1, 1, 0, 1)$ 、 $(1, 1, 1, 0)$ 、 $(1, 1, 1, 1)$ を記憶できる。

[0227] そして、読み出し動作は、次の2段階により行う。

[0228] まず、選択されたメモリセルに対して、リードワード線12を、“H”レベルにし、このときの検出電位V₀の値を測定する。

[0229] 例えば、 R_{TMR11} 、 R_{TMR12} の値

抵抗値 ("0") を "4"、低抵抗値 ("1") を "2" とし、 R_{TMR1L} 、 R_{TMR1U} の高抵抗値を "2"、低抵抗値を "1" とし、低抵抗値の抵抗値を4とすると、メモリセルに、 $(R_{TMR1L}, R_{TMR1U}, R_{TMR2L}, R_{TMR2U}) = (1, 0, 1, 0)$ が記憶されている場合、2つのTMR素子TMR1、TMRUの合成抵抗値は、"2"となり、検出電圧 V_0 は、 $2V/3$ (≒約0.67V)となる。

[0230] 次に、データ読み出しの対象となる1つのTMR素子内の1つのTMR層 (選択されたTMR層) に対して、データ "0" 又はデータ "1" を書き込む。[0231] 例えば、選択されたTMR層が、第1層目の共通ビット線23Aに接続されるTMR素子TMR1内のTMR層TMR2としてあって、これに、データ "1" を書き込む場合を考えると、書き込み後、メモリセル内のデータは、 $(R_{TMR1L}, R_{TMR1U}, R_{TMR2L}, R_{TMR2U}) = (1, 1, 1, 0)$ となる。

[0232] この後、選択されたメモリセルに対して、リードワード線12を、"H" レベルにし、このときの検出電圧 V_0 の値を測定する。

[0233] メモリセルのデータは、 $(R_{TMR1L}, R_{TMR1U}, R_{TMR2L}, R_{TMR2U}) = (1, 1, 1, 0)$ であるため、2つのTMR素子TMR1、TMRUの合成抵抗値は、"12/7" となり、検出電圧 V_0 は、 $7V/10$ (≒約0.7V) となる。つまり、TMR層TMR2にデータ "1" を書き込む直前と後の検出電圧 V_0 の値が変化して、結局、TMR層TMR2に記憶されていたデータは、書き込みデータ "1" とは逆のデータ "0" であったことが分かる。

[0234] 同様にして、全てのTMR層TMR1、TMR1U、TMR2Uのデータを読み出すことができる。

[0235] なお、上述の例と同じ条件で、選択されたTMR層TMR2にデータ "0" を書き込む場合には、その書き込みの前後に検出電圧 V_0 の変化はないため、そのTMR層TMR2のデータは、書き込みデータと同じ値、即ち、"0" であることが分かる。

[0236] このように、本例の読み出し動作原理では、選択されたTMR層に所定のデータを書き込み、その書き込みの前後に検出電圧 V_0 を測定し、検出電圧 V_0 に変化があれば、そのTMR層のデータは、所定のデータ (書き込みデータ) とは逆のデータである。と判断することができる。

[0237] なお、本例の読み出し動作原理では、検出電圧 V_0 の変化があった場合、選択されたTMR層のデータが破壊されていることになるため、少なくともこの場合には、選択されたTMR層のデータを読み出した後

に、正しいデータを書き込み直す必要がある。

[0238] [第3実施の形態] 図32は、本発明の第3実施の形態に関わる磁気ランダムアクセスメモリのシステム図を示している。また、図33は、図32のシフトレジスタの一例を示している。

[0239] 本発明の磁気ランダムアクセスメモリでは、メモリセル内のTMR素子3に3ビット (又は2ビット) 以上のデータを記憶させるために、TMR素子を複数のTMR層 (例えば、縦積みTMR構造) から構成している。

[0240] ここで、本発明の磁気ランダムアクセスメモリにおいては、例えば、2ビットのデータを選択されたメモリセルに書き込む場合に、書き込みデータ (2ビット) のうちの下位ビットを記憶させるTMR層と、その上位ビットを記憶させるTMR層を予め決めておかなければならない。

[0241] そこで、書き込み動作時、データ入出力端子から入力された2ビットデータは、一時的に、シフトレジスタに確保される。そして、2ビットデータがシフトレジスタに保持されている間に、書き込みデータのうちの下位ビットを記憶させるTMR層と上位ビットを記憶させるTMR層を決定する。

[0242] 書き込みデータの各ビットを記憶させるTMR層が決定したら、書き込みデータの上位ビット及び下位ビットを、順次、TMR素子に記憶する。

[0243] 例えば、2つのTMR層が図38に示すようなアステロイド構造を有する場合、まず、シフトレジスタから所定の1ビットデータを出力し、アドレス信号によって選択されたメモリセル内のTMR層TMR1に、そのデータを書き込む。この時、選択されたメモリセル内のTMR層TMR2にも、そのデータが書き込まれてしまう。

[0244] この後、シフトレジスタから残りの1ビットデータを出力し、アドレス信号によって選択されたメモリセル内のTMR層TMR2に、そのデータを書き込む。

[0245] このようなシステムによれば、TMR素子が2つ以上のTMR層から構成され、1つのメモリセルに、3ビット以上のデータ (又は複数ビットデータ) が記憶されるような場合でも、シフトレジスタにより書き込みデータを一時的に記憶できるため、各TMR層に、順次、1ビットデータを記憶できる。

[0246] また、読み出し動作時においても、TMR素子の各TMR層から読み出されたデータを一時的にシフトレジスタに保持し、この後、メモリセルから読み出された3ビット以上のデータ (又は複数ビットデータ) を、シリアルに、又は、パラレルに、メモリの外に出し力するようによい。

[0247] なお、読み出しに関しては、読み出しデータをシフトレジスタに一時的に記憶させることなく、直接

に、メモリの外に出してもよい。

[0248] また、本例では、シフトレジスタは、図33に示すように、直接接続された複数のフリップフロップ回路から構成されるが、これ以外の構成からなるシフトレジスタを用いてもよい。

[0249] [発明の効果] 以上、説明したように、本発明の磁気ランダムアクセスメモリによれば、メモリセル内のTMR素子を複数のTMR層から構成することにより、メモリセルに3ビット以上 (又は複数ビット) のデータを記憶させることができる。また、このようなメモリを実現するためのデバイス構造についても、メモリセルの面積の縮小に都合がよく、メモリセルの高集積化を実現できる。さらに、新規な書き込み動作原理及び読み出し動作原理を採ることにより、十分なマージンを確保しつつ、特性の劣化にたいし、書き込み/読み出し動作を行うことができる。

【図面の簡単な説明】

【図1】 TMR素子の一例を示す図。

【図2】 TMR素子の他の例を示す図。

【図3】 本発明のMRAMの一例を示す断面図。

【図4】 本発明のMRAMOTMR素子の一例を示す図。

【図5】 本発明のMRAMOTMR素子の他の例を示す図。

【図6】 円柱磁層の円筒方向磁気境界の半導体依存性を示す図。

【図7】 電流境界の位置依存性を示す図。

【図8】 TMR層のMR比と抵抗の温度依存性を示す図。

【図9】 2層磁層TMR素子の等価回路を示す図。

【図10】 本発明のMRAMの主要部を示す回路図。

【図11】 図10のメモリの動作波形を示す図。

【図12】 図10のメモリの動作波形を示す図。

【図13】 本発明の第1実施の形態に関わるMRAMを示す断面図。

【図14】 図13のX1V-X1V線に沿う断面図。

【図15】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図16】 図15のXV1-XV1線に沿う断面図。

【図17】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図18】 図17のXVIIII-XVIIII線に沿う断面図。

【図19】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図20】 図19のXXX-XXX線に沿う断面図。

【図21】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図22】 図21のXXXII-XXXII線に沿う断面図。

図。

【図23】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図24】 図23のXXIV-XXIV線に沿う断面図。

【図25】 図13及び図14のMRAMの製造方法の一工程を示す断面図。

【図26】 図25のXXVI-XXVI線に沿う断面図。

【図27】 本発明の第2実施の形態に関わるMRAMを示す断面図。

【図28】 図27のXXVIII-XXVIII線に沿う断面図。

【図29】 本発明の第3実施の形態に関わるMRAMを示す断面図。

【図30】 図29のXXX-XXX線に沿う断面図。

【図31】 図29及び図30のTMR構造の等価回路を示す図。

【図32】 本発明のMRAMの書き込み/読み出しシステムを示す図。

【図33】 図32のシフトレジスタの一例を示す図。

【図34】 従来の1層TMR素子を示す図。

【図35】 TMR素子の2つの状態を示す図。

【図36】 従来のMRAMの書き込み動作原理を示す図。

【図37】 TMR曲線を示す図。

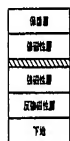
【図38】 アステロイド曲線を示す図。

【符号の説明】

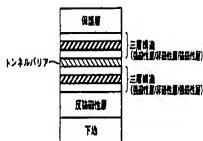
- 1 : 半導体基板、
- 2 : リードワード線、
- 3 : ドーズ拡散層、
- 4, 17 : ポリシリコンプラ
- 5 : ツース膜、
- 6 : ドレイン拡散層、
- 18, 20 : 金属パッド、
- 19, 21, 21', 38, 39 : 金属パッド、
- 22, 22A, 22B, 22C, 22C', 22D, 22E, 22E', 22F : ローカルインターコネクト
- 23 : ビット線、
- 24, 24A, 24B, 24C : 電流駆動線、
- 25, 26, 27 : 電流駆動電線、
- 28 : 読み出し電源、
- 29 : 検出回路、
- 30 : 素子分離層、
- 31A, 31B, 31C, 31D : TMR素子、
- 32, 33, 34, 35, 36, 37 : 絶縁層、
- MC1 : メモリセル、

QN1, QN31-QN33, QN41-QN43 : * * NチャネルMOSトランジスタ。

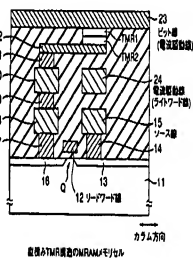
(圖 1)



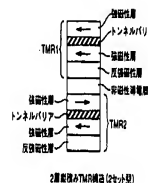
(圖2)



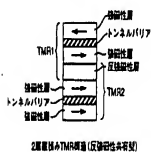
【圖3】



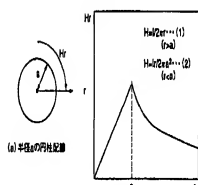
〔圖4〕



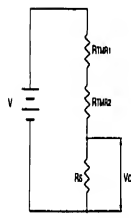
(圖5)



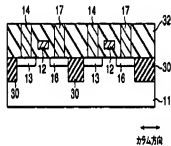
【圖6】



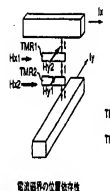
【圖9】



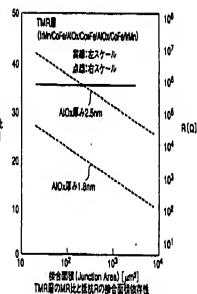
【圖16】



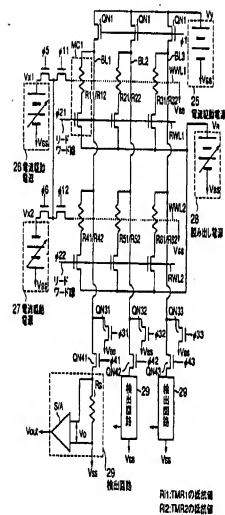
(圖7)



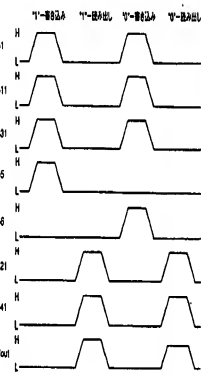
〔圖8〕



【圖10】

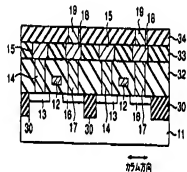


【圖 11】

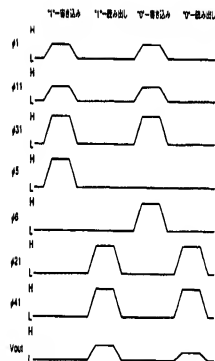


ノゾリセルMC1のTMR1 (透過率R11) に対する書き込み動作時間

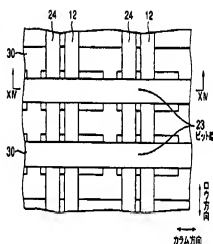
(圖 18)



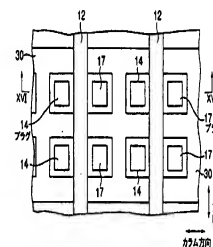
(図12)



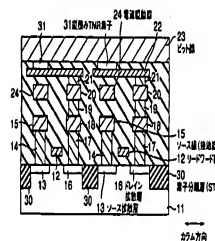
(図13)



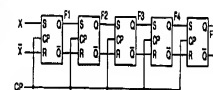
(図15)



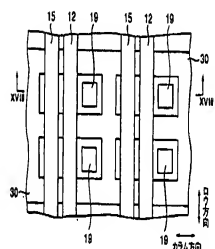
(図14)



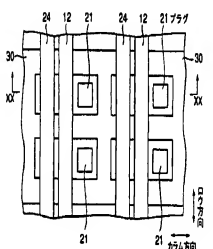
(図33)



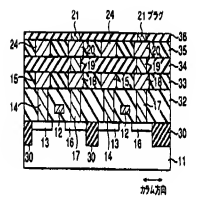
(図17)



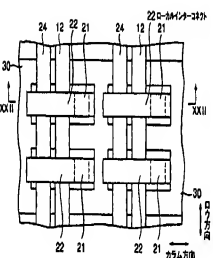
(図19)



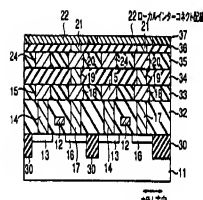
(図20)



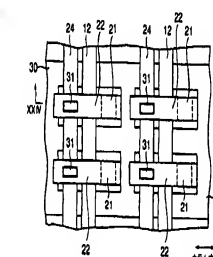
(図21)



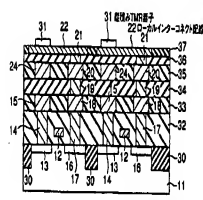
(図22)



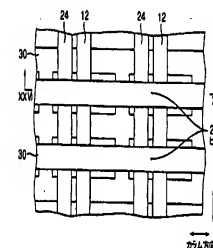
(図23)



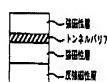
(図24)



(図25)



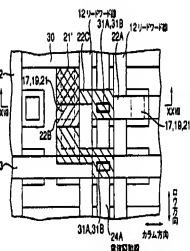
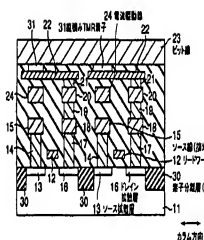
(図34)



TMR(Tunnel Magnetoresistance)素子

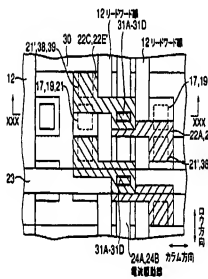
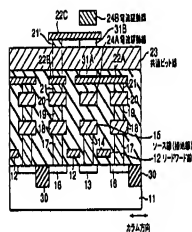
【図26】

【図27】



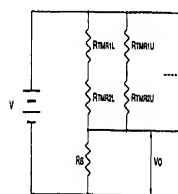
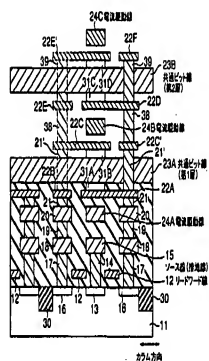
【図28】

【図29】

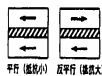


【図30】

【図31】

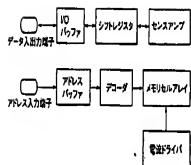


【図35】

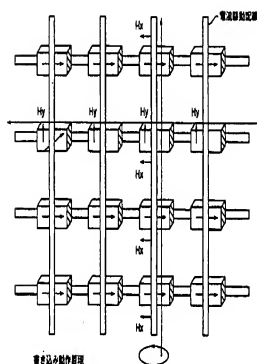


TMR効果

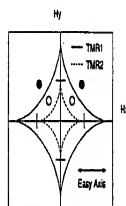
【図32】



【図36】

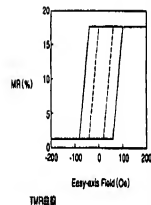


【図38】



72501000

【図37】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年8月25日(2005.8.25)

【公開番号】特開2002-246567(P2002-246567A)
 【公開日】平成14年8月30日(2002.8.30)
 【出願番号】特願2001-37140(P2001-37140)
 【国際特許分類第7版】

H01L 27/105
 G11C 11/14
 G11C 11/15
 H01L 43/08

【FI】

H01L 27/10 4 4 7
 G11C 11/14 Z
 G11C 11/14 A
 G11C 11/15
 H01L 43/08 Z

【手続補正書】

【提出日】平成17年2月23日(2005.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データを記憶するTMR素子と、前記TMR素子に磁界を与えるための第1及び第2電流駆動線とを具備し、前記TMR素子は、積み重ねられた複数のTMR層から構成され、各TMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含み、前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる磁界の強さを異ならしめ、各TMR層に個別にデータを書き込むことを特徴とする磁気ランダムアクセスメモリ。

【請求項2】

前記複数のTMR層のアステロイド曲線を互いに異ならしめることにより、各TMR層に個別にデータを書き込むことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項3】

前記複数のTMR層に対するデータ書き込みは、スピンの向きを変えるための磁界が最も大きいTMR素子から最も小さいTMR素子に向かって、順次、実行されることを特徴とする請求項2記載の磁気ランダムアクセスメモリ。

【請求項4】

前記複数のTMR層内の前記絶縁層の厚さを互いに異ならしめ、前記複数のTMR層に同一データが記憶されている場合における前記複数のTMR層の抵抗値を互いに異ならしめたことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項5】

磁界を生成するための第1、第2及び第3電流駆動線と、前記第1電流駆動線の下面に接触して配置される第1TMR素子と、前記第1TMR素子に接続される第1スイッチ素子と、前記第1電流駆動線の上面に接触して配置される第2TMR素子と、前記第2TMR素子に接続される第2スイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含み、前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる磁界の強さを異ならしめ、各TMR層に個別にデータを書き込むことを特徴とする磁気ランダムアクセスメモリ。

R素子に接続される第2スイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含み、前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる磁界の強さを異ならしめ、各TMR層に個別にデータを書き込むことを特徴とする磁気ランダムアクセスメモリ。

【請求項6】

第1電流駆動線と、前記第1電流駆動線に接触する第1及び第2TMR素子と、前記第1及び第2TMR素子に共通に接続されるスイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含み、前記第1及び第2TMR素子に対するデータ読み出しは、前記第1電流駆動線に検出抵抗を電気的に接続し、前記検出抵抗の両端にかかる検出電圧を検出することにより行い、前記第1又は第2TMR素子に対して書き込みデータを上書きし、前記書き込みデータの上書き前後において前記検出電圧に変化があった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータとは異なる値を有していると判断し、前記書き込みデータの上書き前後において前記検出電圧に変化がなかった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータと同じ値を有していると判断することを特徴とする磁気ランダムアクセスメモリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

{0001}

【発明の属する技術分野】

本発明は、トンネル型磁気抵抗(Tunneling Magnetoresistive)効果を利用する磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)に関する。